

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 11 月 11 日 (11.11.2004)

PCT

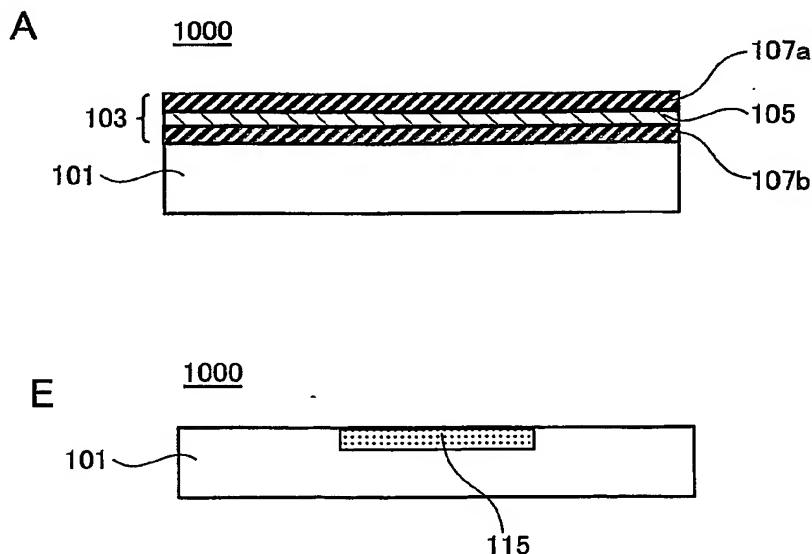
(10) 国際公開番号
WO 2004/097914 A1

- (51) 国際特許分類⁷: H01L 21/265
- (21) 国際出願番号: PCT/JP2004/005649
- (22) 国際出願日: 2004 年 4 月 20 日 (20.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-122240 2003 年 4 月 25 日 (25.04.2003) JP
特願2003-144624 2003 年 5 月 22 日 (22.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 藤川 一洋 (FUJIKAWA, Kazuhiro) [JP/JP]; 〒5548511 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 原田 真 (HARADA, Shin) [JP/JP]; 〒5548511 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒5300054 大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 三井住友銀行南森町ビル 深見特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A method for manufacturing semiconductor device is disclosed which enables to perform ion implantation at high temperature wherein ions are accelerated by high energy. The method enables to simply perform selective and sufficiently deep impurity implantation into a semiconductor substrate (1, 101), especially into an SiC semiconductor substrate. The method for manufacturing device is characterized by comprising a step for forming a mask layer on a surface of the semiconductor substrate (1, 101) which mask layer is composed of a polyimide resin film (2) or of an SiO₂ film (107a, 107b) and a metal thin film (105), and a step for implanting impurity ions.

[続葉有]



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 高温下、イオンを高エネルギーで加速して行なうイオン注入を可能とし、半導体基板 (1, 101)、特にSiC半導体基板への領域選択的で、十分な深さの不純物注入を簡便に行なうことのできる半導体装置の製造方法を提供することを目的とする。このため、本発明の半導体装置の製造方法は、半導体基板 (1, 101) の表面に、ポリイミド樹脂膜 (2)、または、SiO₂膜 (107a, 107b) と金属薄膜 (105) を備えるマスク層を形成する工程と、不純物イオンの注入を行なう工程を備えることを特徴とする。

明細書

半導体装置の製造方法

5 技術分野

本発明は、イオン注入法により、半導体基板の表面に不純物の注入領域を形成する半導体装置の製造方法に関し、さらに詳細には、SiC半導体基板の表面にイオン注入用のマスクを形成した後、不純物イオンの注入を行なう半導体装置の製造方法に関する。

10

背景技術

15

炭化ケイ素(SiC)は、バンドギャップが広く、最大絶縁電界がシリコン(Si)に比較して約一桁大きい。また、キャリアの移動度がSiなみに大きく、電子の飽和ドリフト速度がGaAsなみに大きく、かつ耐圧が大きいので、高速スイッチング素子または大電力用素子などの次世代の電力用半導体素子(特に、接合型電界効果トランジスタ(JFET: Junction Field Effect Transistor)など)への応用が期待される材質である。

20

SiCの結晶構造には、六方最密充填構造と立方最密充填構造とがあり、六方最密充填構造ではさらに層の繰返し周期の違うものが数多く存在し、100種以上の結晶多形(ポリタイプ)が知られている。代表的なポリタイプとして、3C、4H、6Hなどがある。Cは立方晶を、またHは六方晶を意味し、その前の数字は繰返し周期を表す。立方晶形は3Cのみであり、これを β -SiC、その他をまとめて α -SiCと呼んでいる。

25

最近では電力用素子としてショットキーダイオード、縦型MOSFET、JFET、サイリスタなど、あるいは、最も汎用的な半導体装置であるCMOS-ICが試作され、その特性から従来のSi半導体装置と比較して非常に良好な特性を実現する可能性があることが示唆されている。

ところが、SiC-縦型MOS半導体素子、SiC-JFET素子などでは、非常に優れた特性の実現が期待されるものの、実際には、これまで良好な特性が

実現した旨の報告は少なく、実際に製造されているケースも少ない。その原因は、S i C半導体基板へのイオン注入などの工程において微細加工の制御が困難であることにある。

5 S i系半導体基板を用いる半導体素子では、p型不純物とn型不純物とを同一のマスクにより選択的に導入し、熱拡散することによって、精密なチャネル密度が実現される。すなわちJ F E Tなどの半導体素子の特性を左右するチャネルの寸法などが非常に精密に制御可能で、歩留まり良くJ F E Tなどの半導体素子を作ることができる。

10 これに対し、S i C半導体基板を用いる半導体素子では、S i系半導体基板に比べて不純物の拡散がほとんど起きないため、S i系半導体基板を用いる半導体素子のような精密なチャネル密度などの制御を実現することが難しい。そのため、チャネル抵抗などが大きくなり、また、そのばらつきも非常に大きなものとなってしまう傾向がある。その結果、期待されたようなS i C半導体素子の特性が十分に実現されていないのが現状である。

15 また、S i C半導体基板を用いる半導体素子では、イオン注入した不純物の活性化率が悪く、活性化率を向上するために、300℃以上での高温のイオン注入を行なうこともあり、レジスト膜をイオン注入のマスク層として好適に使用できないという問題がある。さらに、シリコン酸化膜やポリシリコン膜などをマスク層として用いても、高温によりマスク層のひび割れや剥離が起こる傾向があるという問題がある。

20 上述のように、S i C半導体基板を用いる半導体素子（本明細書において、S i Cデバイスとも記載する。）の製造の際には、結晶損傷の抑制のため高温環境下でのイオン注入が必要である。

25 そこで、高温環境下でのイオン注入においてマスク層として用いることのできる材質の開発が求められており、関係各方面で技術開発が行われている。ここで、S i O₂を材質として含有するマスク層は、高温環境下での高エネルギー注入に耐え得る優れた特性を有する。このような特性を利用して、S i O₂膜をマスク層としてイオン注入を行い、その後、熱拡散により十分な深さの不純物注入領域を形成する技術が、特開平10-256173号公報および「パワーデバイス・パワー

ICハンドブック」(電気学会高性能高機能パワーデバイス・パワーIC調査専門委員会編, コロナ社, 1996年7月, p. 38-41)に開示されている。

たとえば、シリコン基板上にCVD法により SiO_2 膜を全面に形成した後、フォトリソグラフィ法によりマスクパターンを形成する。フォトリソグラフィ法では、 SiO_2 膜の全面にフォトレジストを形成し、穴を開けたい部分にのみ光を当て、フォトレジストを感光し、感光した部分を現像により除去する。つぎに、残ったフォトレジストの上から下地の SiO_2 膜をドライエッチングにより開口し、エッチングの後、フォトレジストを除去すると、 SiO_2 のマスクパターンが得られる。

つづいて、Bなどの不純物イオンを $1 \times 10^{14} \text{ cm}^{-2}$ 程度注入する。 SiO_2 膜がマスクとなるため、 SiO_2 膜の開口部にのみ不純物イオンが注入される。イオン注入は、 AsH_3 、 PH_3 、 BF_3 などのガスを放電して得られるドーパントのイオンを、数10keV～数100keVに加速して基板に打ち込む方法である。つぎに、熱拡散により不純物を押し込んだ後、 SiO_2 膜をフッ酸で溶解して除去する。その後、半導体装置の製造工程においては、このような薄膜の形成、フォトリソグラフィ、エッチングおよびイオン注入が繰り返し行なわれる。

しかし、 SiC デバイスの製造の際には、 SiC 半導体基板における不純物の熱拡散が小さいため、十分な深さの不純物注入を行なうためには、高エネルギーでのイオン注入が必要である。そして、 SiO_2 を用いるマスク層は、 $1 \mu\text{m}$ を超える厚さになるとクラックが生じやすいため、イオン注入のマスク層としては使用しにくいという問題がある。

一方、 SiO_2 を含有する酸化膜の厚さを $1 \mu\text{m}$ 以下とすると、この酸化膜により阻止できるイオン注入のエネルギーが小さくなるため、イオンを高エネルギーで加速できず、イオン注入の深さはせいぜい $0.3 \mu\text{m}$ にとどまる。よって、一般に、半導体装置に必要な $0.6 \mu\text{m} \sim 1 \mu\text{m}$ の注入深さを得ることが困難であり、 SiC 半導体基板用のマスクとして SiO_2 は好適に用いることができないという問題がある。

また、 SiO_2 をマスク材料として利用するときは、CVD法による SiO_2 膜の形成、レジストを用いたフォトリソグラフィ、ドライエッチングによる SiO_2

膜の開口、イオン注入および SiO_2 膜の除去という一連の複雑な工程が必要となる。さらに、CVD法およびドライエッチングは、真空引きをした反応炉内に半導体基板を投入しなければならないため、製造効率が低い。

5 このように、 SiO_2 を用いるマスク層には、イオン注入の注入深さに制約が生じるという問題があるため、 SiC 半導体基板を用いる半導体素子の製造にはあまり利用されていない。また、仮に利用されていたとしても、以上の欠点を克服するために複雑な工程が必要であるという問題を抱えている。

発明の開示

10 本発明の目的は、高温下、イオンを高エネルギーで加速して行なうイオン注入を可能とし、半導体基板、特に SiC 半導体基板への領域選択的で、十分な深さの不純物注入を簡便に行なうことのできる半導体装置の製造方法を提供することにある。

15 かかる目的を達成するため、本発明の半導体装置の製造方法は、イオン注入法により半導体基板の表面に不純物の注入領域を形成する半導体装置の製造方法であって、半導体基板の表面にポリイミド樹脂膜を備えるマスク層を形成する工程と、不純物イオンの注入を行なう工程を備えることを特徴とする。

20 また、本発明の半導体装置の他の製造方法は、イオン注入法により半導体基板の表面に不純物の注入領域を形成する半導体装置の製造方法であって、半導体基板の表面に、 SiO_2 膜と金属薄膜を備えるマスク層を形成する工程と、不純物イオンの注入を行なう工程を備えることを特徴とする。

半導体基板は、 SiC 半導体基板を使用することができる。半導体基板のうち、マスク層を形成した領域には、不純物イオンの注入を行なわないようにすることができ、不純物イオンはマスク層を形成していない領域に注入することができる。

25 ポリイミド樹脂膜を備えるマスク層を形成するときは、半導体基板を、好ましくは 300°C 以上、より好ましくは 500°C 以上に加熱して、不純物イオンの注入を行なう態様が好ましい。ポリイミド樹脂膜は、感光性ポリイミド樹脂膜が好適であり、ポリイミド樹脂膜の厚さは、半導体基板のうち、ポリイミド樹脂膜を形成していない領域において注入される不純物の深さの2倍以上が好ましい。ポ

リイミド樹脂膜と半導体基板との間には、金属薄膜または SiO_2 からなる薄膜を形成する態様が好ましい。

5 一方、 SiO_2 膜と金属薄膜を備えるマスク層形成するときは、半導体基板を、好ましくは $300^\circ\text{C} \sim 500^\circ\text{C}$ 、より好ましくは $500^\circ\text{C} \sim 800^\circ\text{C}$ に加熱して、不純物イオンの注入を行なう態様が好ましい。マスク層は、3層以上の層からなるものが好適であり、 SiO_2 膜の平均厚さと、金属薄膜の平均厚さは、それぞれ $500\text{nm} \sim 1.5\mu\text{m}$ が好ましい。マスク層は、最下層膜として SiO_2 膜もしくは金属薄膜を備える態様、または、最上層膜として SiO_2 膜もしくは金属薄膜を備える態様が好ましい。かかる SiO_2 膜は、SOG法により好ましく形成することができる。

10

図面の簡単な説明

図1A～図1Eは、本発明の半導体装置の製造方法を示す工程図である。

図2は、ポリイミド樹脂膜の厚さと注入される不純物(A1)の深さとの関係を示す図である。

15

図3は、本発明における、ポリイミド樹脂膜と SiC 半導体基板との間に薄膜が形成されている態様を示す断面図である。

図4A～図4Eは、本発明の半導体装置の製造方法を示す工程図である。

20 発明を実施するための最良の形態

(ポリイミド樹脂膜をマスクとして用いる半導体装置の製造方法)

本発明の半導体装置の製造方法は、半導体基板の表面に、ポリイミド樹脂膜を備えるマスク層を形成した後、不純物イオンの注入を行なう工程を備えることを特徴とする。半導体基板に、ポリイミド樹脂膜を形成し、ポリイミド樹脂膜を半導体基板用のマスクとして用いることにより、高温下で、高エネルギーのイオンによる不純物の注入を行なうことができ、 SiC 半導体基板においても不純物の十分な注入深さを得ることができる。

25

本発明に用いる半導体基板は、従来公知の半導体基板の中でも、 SiC 半導体基板であることが好ましい。炭化ケイ素(SiC)は、バンドギャップが広く、

最大絶縁電界がシリコン（Si）に比較して約一桁大きく、キャリアの移動度がSiなみに大きい。また、電子の飽和ドリフト速度がGaAsなみに大きく、かつ耐圧が大きいという優れた特性を有するからである。

また、後述する本発明のマスク層は、SiC半導体基板をはじめとする不純物の熱拡散が小さい半導体基板に対して、高温環境下での高エネルギー注入を行なうことができ、十分な深さの不純物注入を行なうことができるという優れた特性を発揮するからである。

本明細書において、SiC半導体基板とは、SiCを材質として含む半導体基板を示すものとする。ここで、SiC半導体基板は、SiCのみを材質として含む必要はなく、SiCの優れた特性を損なわない範囲で他の成分を材質として含んでいてもよい。

本発明に用いるSiCの結晶構造は、特に限定されず、たとえば六方最密充填構造あるいは立方最密充填構造のSiCを用いることができる。また、SiCの六方最密充填構造ではさらに層の繰返し周期の違うものが数多く存在し、100種以上の結晶多形（ポリタイプ）が知られているが、いずれの種類の構造であってもよい。たとえば代表的なポリタイプとして、3C、4H、6Hなどを用いることができる。本明細書において、Cは立方晶を、またHは六方晶を意味し、その前の数字は繰返し周期を表すものである。これらの中で、立方晶形は3Cのみであり、これを β -SiC、その他をまとめて α -SiCと呼ぶ。

もっとも、本発明に用いる半導体基板は、SiC半導体基板に特に限定されず、従来公知の任意の半導体基板を用いることができる。本発明に使用するマスク層は、SiC半導体基板以外の半導体基板に適用した場合においても、高温下、高エネルギーのイオンによる不純物注入を行なうことができ、不純物の十分な注入深さを得ることができるからである。

本発明の製造方法の典型的な例として、感光性ポリイミド樹脂膜を用い、SiC半導体基板にイオン注入する方法を、図1A～図1Eに示す。まず、図1Aに示すように、SiC半導体基板1上に感光性ポリイミド樹脂膜2を形成する。つぎに、図1Bに示すように、所定のパターンを有するマスク3を介して、光4を照射した後、現像し、焼成することにより、図1Cに示すように、SiC半導体

基板上に、所定のパターンを有するポリイミド樹脂膜 2 a を容易に形成することができる。

つづいて、図 1 D に示すように、ポリイミド樹脂膜を備えるマスク層を介してイオン 5 を S i C 半導体基板 1 に打ち込み、不純物領域 1 a を形成する。最後に、
5 ポリイミド樹脂膜を除去すると、図 1 E に示すような、不純物領域 1 a を有する S i C 半導体基板 1 が得られる。所定のマスクを形成することにより、マスクを形成した領域における不純物イオンの注入を阻止することができ、マスクを形成していない領域にのみ不純物イオンを注入することができる。

不純物イオンの注入は、S i C 半導体基板の結晶構造のアモルファス化を抑制
10 するために、S i C 半導体基板を 3 0 0 °C 以上に加熱して行なう態様が好ましく、5 0 0 °C 以上に加熱して、不純物イオンの注入を行なう態様がより好ましい。また、基板温度は、S i C の昇華を防ぐ理由から、1 0 0 0 °C 以下である態様が好ましく、8 0 0 °C 以下がより好ましい。

ポリイミドは、二官能カルボン酸無水物と、第 1 級ジアミンとから合成される
15 縮合重合体であり、ポリマ骨格の主鎖にイミド構造 (—CO—NR—CO) を有する。ポリイミドのうち、芳香族複素環ポリイミドは、優れた機械的性質を有し、熱および酸化に対する安定性が大きい点で好ましい。また、芳香族複素環ポリイミドのなかでも、芳香族ジアミンと芳香族ジアンヒドリドから誘導されるポリイミドは熱に対して安定であるため、より好ましい。

さらに、ポリイミド樹脂膜は、S i C 半導体基板上に所定のパターンを有する
20 マスクを容易に形成することができる点で、感光性ポリイミド樹脂により形成する態様が好ましい。感光性ポリイミド樹脂膜は、S i C 半導体基板上に塗布することにより形成することができ、S i O₂ をマスク材料とするときのように、フォトレジストを用いたフォトリソグラフィなどを含む複雑な工程は不要であり、S
25 i C 半導体基板上に領域選択的なイオン注入を簡便に行なうことができる。さらに、CVD 法およびドライエッチングなどが不要であるため、製造効率が高い。

S i C 半導体基板上に形成するポリイミド樹脂膜の厚さは、S i C 半導体基板のうち、ポリイミド樹脂膜を形成していない領域において注入される不純物の深さの 2 倍以上が好ましい。4 H—S i C 半導体基板に対して、加速エネルギー 3 4

0 keV、ドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ で、Al イオンを注入する場合における、ポリイミド樹脂膜の厚さと注入される不純物 (Al) の深さとの関係を図 2 に示す。

図 2 の結果から明らかなとおり、ポリイミド樹脂膜の形成されていない領域では、不純物の深さは $1.1 \mu\text{m}$ である。一方、ポリイミド樹脂膜の厚さが $2.2 \mu\text{m}$ である領域では、不純物の深さは $0.0 \mu\text{m}$ であり、Al イオンは完全に遮断されている。したがって、注入するイオンのエネルギーに応じて、注入を予定している不純物領域の深さの 2 倍以上の厚さのポリイミド樹脂膜を形成することにより、注入されるイオンを完全に遮断し、イオン注入領域の選択を確実にすることができる。

ポリイミド樹脂膜は、接着性および耐薬品性が大きいので、イオン注入後のポリイミド樹脂膜の除去を容易にする観点から、図 3 に示すように、ポリイミド樹脂膜 32 と SiC 半導体基板 31 との間に、金属薄膜または SiO_2 からなる薄膜 36 を形成する態様が好ましい。Al などからなる金属薄膜または SiO_2 からなる薄膜の厚さは、薄膜をウェットエッチングすることによりポリイミド樹脂膜を容易に除去できる点で、 $0.02 \mu\text{m}$ 以上が好ましく、 $0.05 \mu\text{m}$ 以上がより好ましい。一方、かかる薄膜の厚さは、エッチングにより容易に薄膜を除去し、また、サイドエッチングを抑えるため、 $0.5 \mu\text{m}$ 以下が好ましく、 $0.2 \mu\text{m}$ 以下がより好ましい。したがって、かかる薄膜は、たとえば、厚さ $0.1 \mu\text{m}$ 程度形成する態様が好ましい。

SiO_2 などからなる薄膜は、ポリイミド樹脂膜を形成する前に、SiC 半導体基板に形成し、ポリイミド樹脂膜の露光、現像、焼成後、ポリイミド樹脂膜の空孔部にある SiO_2 などからなる薄膜をウェットエッチングにより除去しておくこと、イオン注入が薄膜により妨げられることなく、イオン注入をスムーズに進めることができる点で好ましい。

(SiO_2 膜と金属薄膜をマスクとして用いる半導体装置の製造方法)

本発明の半導体装置の他の製造方法は、半導体基板の表面に、 SiO_2 膜と金属薄膜とを備えるマスク層を形成する工程と、半導体基板の表面に不純物イオンの注入を行なう工程とを備えることを特徴とする。かかるマスクは、高エネルギーの

イオン注入を阻止できる厚さにおいても、 SiO_2 を含有するマスク層にクラックが生じにくく、かかるマスク層を用いることにより、 SiC 半導体基板をはじめとする不純物の熱拡散が小さい半導体基板に対しても、高温下での高エネルギーによるイオン注入を行なうことができ、十分な深さの不純物注入を行なうことができる。

図4A～図4Eは、本発明の半導体装置の製造方法を示す工程図である。本発明の半導体装置の製造方法においては、まず、半導体基板の表面に、マスク層として、 SiO_2 膜と金属薄膜とを備える複合膜を形成する。図4Aは、本発明の半導体装置の製造方法におけるマスク層103の形成工程を示す。本発明の半導体装置1000は、図4Aに示すように、半導体基板101の表面にマスク層103を形成する。 SiC 半導体をはじめとする半導体基板101については前述のとおりである。また、図4Aに示す例では、マスク層103は、 SiO_2 膜107aと、金属薄膜105と、 SiO_2 膜107bと、を備える3層構造からなる複合膜である。

ここで、一般に半導体デバイス（半導体素子）の製造の際には、決められた領域のみに選択的に不純物を導入することが重要である。選択的な不純物の導入を可能にする手段の一つが、マスク層を介してのイオン注入である。特に、 SiC 半導体などの不純物の熱拡散が小さい半導体を材料とする半導体デバイスでは、マスク層を介してのイオン注入は、選択的に不純物を導入するほとんど唯一の実用的な方法である。所定のマスクを形成することにより、マスクを形成した領域における不純物イオンの注入を阻止し、マスクを形成していない領域にのみ不純物イオンを注入することができる。

本発明の半導体装置の製造方法においては、イオン注入を行なう領域を選択するために半導体基板上に形成するマスク層を、図4Aに示すように SiO_2 膜と金属薄膜との複合膜として形成することにより、 SiC 半導体基板をはじめとする不純物の熱拡散が小さい半導体基板に対する、領域選択的なイオン注入を、結晶構造へのダメージを抑制しつつ行なうことができる。

本発明のマスク層は、半導体基板に不純物イオン注入を行なう際に用いるマスク層であって、 SiO_2 膜と、金属薄膜と、を備えるマスク層である。 SiO_2 膜

は、 SiO_2 を材質として含む酸化膜であればよい。 SiO_2 を材質として含む酸化膜は、高温環境下での高エネルギー注入に耐え得る優れた特性を有するからである。また、 SiO_2 膜は、 SiO_2 のみを材質として含む必要はなく、 SiO_2 の優れた特性を損なわない範囲で他の成分を材質として含んでいてもよい。

5 マスク層に備えられる SiO_2 膜は、特に限定せず、従来公知の方法で形成することができるが、たとえばSOG法により SiO_2 膜を形成することができる。ここで、SOG法とは、おもにシラノール $[(\text{OR})_m\text{R}_n\text{Si}(\text{OH})_{4-m-n}]$ をアルコールなどの溶剤に溶かしてウェハ上にスピンドットした後、純粋な SiO_2 の組成に近い絶縁膜（本明細書において、SOG膜とも記載する。）を得る方法を意味する。本明細書においては、 SiO_2 膜には、SOG膜が含まれる。SOG膜には、シラノール化合物の種類によって、無機SOG膜と有機SOG膜とがある。SOG法には、液体を利用して膜を形成するため、せまい配線間を埋めることができるという利点がある。

10 本発明のマスク層に備えられる SiO_2 膜の平均厚さは500nm以上が好ましく、800nm以上がより好ましい。また、平均厚さは1.5 μm 以下が好ましく、1.2 μm 以下がより好ましい。 SiO_2 膜の平均厚さが500nm未満の場合には、この SiO_2 膜により阻止できるイオン注入のエネルギーは限られ、イオン注入の注入深さが小さくなる傾向にある。また、 SiO_2 膜の平均厚さが1.5 μm を超えると、 SiO_2 膜に高温環境下でクラックが生じやすくなる。

20 マスク層に備えられる金属薄膜は、金属を材質として含む薄膜であればよいが、金属蒸着膜が特に好ましい。金属蒸着膜は、 SiO_2 を材質として含む酸化膜あるいは SiC 半導体基板などに、従来公知の方法で金属を蒸着させることにより容易に得られる。金属薄膜を金属蒸着法により形成するには、たとえば、EB蒸着により形成することが好ましい。金属蒸着膜をはじめとする金属薄膜をマスク層
25 に備えることにより、 SiO_2 膜の平均厚さが1.5 μm を超えることなく、マスク層全体の平均厚さを1.5 μm 以上とすることができる。そのため、 SiO_2 膜が高温環境下でもクラックを生じにくく、高エネルギーのイオン注入を阻止できる。

マスク層に備えられる金属薄膜は、特に限定されず、従来公知の任意の金属を

材質として含む薄膜を用いることができるが、たとえば、アルミニウム、ニッケル、金などの金属を材質として含む薄膜を用いることができる。これらの金属の中でも、薄膜の形成の容易さとコスト面の理由から、アルミニウムを材質として含む薄膜を用いることが特に好ましい。金属薄膜は、金属のみを材質として含むことは必要でなく、金属薄膜の優れた特性を損なわない範囲で他の成分を材質として含んでいてもよい。

マスク層に備えられる金属薄膜の平均厚さは500 nm以上が好ましく、800 nm以上がより好ましい。また、この平均厚さは1.5 μ m以下が好ましく、1.2 μ m以下がより好ましい。金属薄膜の平均厚さが500 nm未満であると、高温環境下でSiO₂膜にクラックが生じやすくなり、高エネルギーによるイオン注入が困難となる傾向がある。一方、金属薄膜の平均厚さが1.5 μ mより厚くなると、マスクのパターニングを行なう際にサイドエッチングが大きくなる傾向がある。

本発明のマスク層は、半導体基板に不純物イオン注入を行なう際に用いるマスク層であって、SiO₂膜と金属薄膜とを備えるマスク層であれば、SiO₂膜と、金属薄膜と、の二層構造であってもよく、あるいは三層以上の構造であってもよい。三層以上の構造とすることにより、SiO₂膜が高温環境下でもクラックを生じにくく、マスク層全体の膜厚を増すことで高エネルギーのイオン注入を阻止できる利点がある。

本発明のマスク層は、最下層膜としてSiO₂膜を備える態様が好ましい。このような構造により、金属薄膜由来の金属イオンによるSiC半導体基板をはじめとする半導体基板への汚染を防ぐことができる。また、マスク層は、最下層膜として金属薄膜を備える態様が好ましい。このような構造により、イオン注入後の半導体基板からのマスク層の除去を容易にすることができる。

本発明のマスク層は、最上層膜としてSiO₂膜を備える態様が好ましい。このような構造により、金属蒸着膜をはじめとする金属薄膜が、RIE (Reactive Ion Etching : 反応性イオンエッチング) 法などによりエッチングされる事態を回避することができ、パターン形成が容易になる。また、マスク層は、最上層膜として金属薄膜を備える態様が好ましい。このような構造により、SiO₂膜にクラッ

クが発生しても、その影響を最小限に抑えることができる。

本発明のマスク層は、これらの構造の中でも、最下層から順に SiO_2 膜と、金属薄膜と、 SiO_2 膜と、を備える構造が特に好ましい。このような三層構造を有するマスク層は、 SiO_2 膜の平均厚さが $1.5\mu\text{m}$ を超えることなく、マスク層全体

5 全体の平均厚さを $1.5\mu\text{m}$ 以上とすることができる。そのため、 SiO_2 膜が高温環境下でもクラックを生じにくく、マスク層全体として高エネルギーのイオン注入を阻止できる。

つぎに、たとえば、図4Bに示すように、図4Aでマスク層103を形成された半導体装置1000は、マスク層107a上にレジスト材料を塗布した後、ガラスマスク111を用いてパターン露光することにより、レジスト材料を硬化させてレジスト膜109を形成する。レジスト材料としては、特に限定せず、従来公知のレジスト材料を条件に応じて選択して用いることができる。また、ガラスマスクも、特に限定せず、従来公知のガラスマスクを用いてパターン露光を行なうことができる。

15 つづいて、たとえば、図4Cに示すように、図4Bでレジスト膜109を形成された半導体装置1000は、RIE法、ウェットエッチング法などにより、レジスト膜109を利用して、エッチングし、パターン化したマスク層103aを形成する。RIE法などによるエッチングの条件は、特に限定せず、従来公知の条件によりエッチングを行なうことができるが、たとえば、平行平板型RIE装置、酸性溶液などを用いてエッチングを行なうことができる。

20 つぎに、図4Dに示すように、半導体装置1000は、イオン注入法により不純物を SiC 半導体基板101に注入する。本発明に用いる不純物の種類は、特に限定されず、製造される半導体装置の構造と目的に応じて適宜選択可能であるが、たとえば、アルミニウム、ホウ素、窒素、リンなどを選択することができる。

25 また、イオン注入の条件は、特に限定せず、従来公知の条件によりイオン注入を行なうことができるが、イオン注入に用いる装置としては、高電流イオン注入装置などを用いることが好ましい。

本発明におけるイオン注入のドーズ量は、 $1 \times 10^{15} \text{cm}^{-2}$ 以下であることが好ましい。このドーズ量が $1 \times 10^{15} \text{cm}^{-2}$ を超えると、注入済のイオンに新たに注

入されたイオンが衝突してさらに深く押込まれる傾向があるためである。さらに、ドーズ量が $1 \times 10^{17} \text{ cm}^{-2}$ を超えると、SiCの結晶が壊れやすくなり、アモルファス化しやすくなるためである。

本発明におけるイオン注入の際の基板温度は、イオン注入によるSiC半導体
5 基板の結晶構造へのダメージ（アモルファス化）を抑制するために、300℃以上であることが望ましく、特に500℃以上であることがさらに望ましい。また、基板温度は、SiCの昇華を防ぐ理由から、1000℃以下であることが望ましく、特に800℃以下であることがさらに望ましい。また、本発明におけるイオン注入の角度は、特に限定せず、従来公知のイオン注入法で採用されてきたいずれの角度において注入してもよいが、たとえば、基板に対して垂直な角度でイオン注入することが好ましい。

つづいて、図4Eに示すように、図4Dで不純物がイオン注入された半導体装置1000のマスク層103aを除去する。マスク層の除去方法は、特に限定せず、従来公知のマスク層の除去方法を用いることができるが、たとえば、酸性溶
15 液による溶解により除去することが好ましい。

本発明における半導体基板への不純物のイオン注入方法は、半導体基板の表面に、SiO₂膜と金属薄膜とを備えるマスク層を形成する工程と、半導体基板の表面に不純物のイオン注入を行なう工程とを備える。本発明の半導体基板への不純物イオン注入方法の詳細は、本発明の半導体装置の製造方法の詳細と同様である。

20 実施例1

まず、図1Aに示すように、5インチ径、厚さ600μmの4H-SiC半導体基板1上に、ネガ型感光性ポリイミド樹脂（日立デュポンマイクロシステムズ社製HD4010）をスピンコートし、空気雰囲気下、乾燥して、厚さ3.0μmの感光性ポリイミド樹脂膜2を形成した。つぎに、図1Bに示すように、所定のパターンを有するマスク3を介して、感光性ポリイミド樹脂膜2に光4を照射
25 した後、有機溶媒からなる専用の現像液で現像し、焼成することにより、図1Cに示すように、SiC半導体基板のうち、不純物の注入を行なわない領域上に、パターン化したポリイミド樹脂膜2aを形成した。感光性ポリイミド樹脂を使用したことにより、フォトリソグラフィ法によるよりも容易にマスクを形成するこ

とができた。

つづいて、S i C半導体基板1とポリイミド樹脂膜を500℃に加熱し、図1 Dに示すように、パターン化したポリイミド樹脂膜2 aを介して、A lイオン5をS i C半導体基板1に注入し、不純物領域1 aを形成した。A lイオンの注入は、加速エネルギー340 keV、ドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ で行なった。最後に、ポリイミド樹脂膜をフッ酸により除去すると、図1 Eに示すような、不純物領域1 aを有するS i C半導体基板1が得られた。不純物領域1 aの深さは1.1 μm であり、従来のS i O₂マスクでは達し得なかった深さを有する不純物領域が得られた。

実施例2

図3に示すように、ポリイミド樹脂膜3 2とS i C半導体基板3 1との間に、A lからなる厚さ0.1 μm の金属薄膜3 6を形成した以外は、実施例1と同様にして、不純物領域を有するS i C半導体基板を製造した。ポリイミド樹脂膜とS i C半導体基板との間にA lからなる金属薄膜を形成したため、イオン注入後、ポリイミド樹脂膜をリン酸によりウェットエッチングする際に、ポリイミド樹脂膜は、A l製の金属薄膜を境にして、S i C半導体基板から容易に除去し、製造効率を高めることができた。

A lからなる薄膜は、ポリイミド樹脂膜を形成する前に、S i C半導体基板に形成し、ポリイミド樹脂膜の露光、現像、焼成後、ポリイミド樹脂膜の空孔部にあるA lからなる薄膜をウェットエッチングにより除去しておいたため、イオン注入が妨げられることはなかった。

実施例3

ポリイミド樹脂膜とS i C半導体基板との間に、S i O₂からなる厚さ0.1 μm の薄膜を形成した以外は、実施例1と同様にして、不純物領域を有するS i C半導体基板を製造した。イオン注入後、ポリイミド樹脂膜をフッ酸によりウェットエッチングする際に、実施例2と同様に、ポリイミド樹脂膜は、S i O₂薄膜を境にして容易に剥離したため、作業効率が良好であった。

S i O₂からなる薄膜は、ポリイミド樹脂膜を形成する前に、S i C半導体基板に形成し、ポリイミド樹脂膜の露光、現像、焼成後、ポリイミド樹脂膜の空孔部

にある SiO_2 からなる薄膜をウェットエッチングにより除去したため、イオン注入が妨げられることはなかった。

実施例 4

まず、 1 cm 角の 4H-SiC 基板（表面の面方位は 0001 面から約 8 度傾いている。）を用意した。つぎに、図 4 A に示すように、 SiC 半導体基板 101 上に、下から順に SiO_2 膜 107 b（平均厚さ $1\text{ }\mu\text{m}$ ）、 Al 金属薄膜 105（平均厚さ $1\text{ }\mu\text{m}$ ）、 SiO_2 膜 107 a（平均厚さ $1\text{ }\mu\text{m}$ ）の組合せからなるマスク層 103 を積層した。なお、 SiO_2 膜 107 a, 107 b は SOG 法で作成し、 Al 金属薄膜 105 は金属蒸着法で作成した。

つぎに、図 4 B に示すように、 SiO_2 膜 107 a 上にレジスト材料を塗布し、ガラスマスク 111 を用いてパターン露光してレジスト材料を硬化させてレジスト膜 109 を形成した。その後、レジスト膜 109 を形成した SiC 半導体基板 101 を、RIE 法によりレジスト膜 109 を介してエッチングし、パターン化したマスク層 103 a を形成した（図 4 C）。続いて、図 4 D に示すように、マスク層 103 a を介して SiC 半導体基板 101 に、イオン注入法により不純物として、 Al イオンを SiC 半導体基板 101 に注入した。

イオン注入に際しては、予め、 SiC 半導体基板とマスク層を、 500°C に加熱し、また、 Al イオンの注入は、加速エネルギー 340 keV 、ドーズ量 $1.0 \times 10^{15}\text{ cm}^{-2}$ で行なった。最後に、図 4 D で不純物イオン注入した SiC 半導体基板 101 から、フッ酸で溶解することにより、パターン化したマスク層 103 a を除去した（図 4 E）。

得られた SiC 半導体基板 101 を、 Ar 中、 1700°C 、30 分間のアニールをした後、SIMS により評価したところ、パターン化したマスク層 103 a に被覆された領域においては、 Al が検出されないという結果が得られ、 Al の加速エネルギー 340 keV の注入を阻止できていることが判明した。不純物領域 115 の深さは $1.1\text{ }\mu\text{m}$ であり、従来の SiO_2 マスクでは達し得なかった深さを有する不純物領域が得られた。また、ラマン散乱測定により評価したところ、 SiC 半導体基板 101 の結晶構造は損傷していないことが判明した。

比較例 1

S i C半導体基板上に、S i O₂膜（平均厚さ1 μ m）のみからなるマスク層を積層した以外は、実施例4と同様にしてS i C半導体基板にイオン注入を行なった。不純物イオンを注入されたS i C半導体基板を、実施例4と同様にして評価したところ、S i O₂膜（平均厚さ1 μ m）のみからなるマスク層では厚さが足りないため、S i O₂膜（平均厚さ1 μ m）からなるマスク層に被覆された領域においてもA lが検出され、A lイオンの加速エネルギー340 k e Vの注入を十分に阻止できないことが判明した。なお、S i C半導体基板101の結晶構造は、損傷していなかった。

比較例2

S i C半導体基板上に、S i O₂膜（平均厚さ3 μ m）のみからなるマスク層を積層した以外は、実施例4と同様にしてS i C半導体基板にA lイオン注入を行なった。不純物イオンを注入されたS i C半導体基板を、実施例4と同様に評価したところ、S i O₂膜（平均厚さ3 μ m）からなるマスク層にはクラックが発生し、その部分からA lが検出され、S i O₂膜（平均厚さ3 μ m）のみからなるマスク層では、A lイオンの加速エネルギー340 k e Vの注入を十分に阻止できないことが判明した。なお、S i C半導体基板101の結晶構造は、損傷していなかった。

今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

本発明によれば、結晶構造へのダメージを抑制しつつ、S i C半導体基板をはじめとする半導体基板の表面に、領域選択的な高エネルギーのイオン注入を簡便に行なうことができ、十分な深さの不純物注入が可能である。また、マスク層は、高温環境下でもクラックを生じない。

請求の範囲

1. イオン注入法により半導体基板（１）の表面に不純物の注入領域を形成する半導体装置の製造方法であって、半導体基板（１）の表面にポリイミド樹脂膜（２）を備えるマスク層を形成する工程と、不純物イオン（５）の注入を行なう工程を備えることを特徴とする半導体装置の製造方法。
5
2. イオン注入法により半導体基板（１０１）の表面に不純物の注入領域を形成する半導体装置の製造方法であって、半導体基板（１０１）の表面に、 SiO_2 膜（１０７a, １０７b）と金属薄膜（１０５）を備えるマスク層（１０３）を形成する工程と、不純物イオンの注入を行なう工程を備えることを特徴とする半導体装置の製造方法。
10
3. 前記半導体基板（１, １０１）は、 SiC 半導体基板である請求の範囲第１項または第２項に記載の半導体装置の製造方法。
4. 前記マスク層は、半導体基板（１, １０１）における不純物イオンの注入を行なわない領域に形成する請求の範囲第１項または第２項に記載の半導体装置の製造方法。
15
5. 前記不純物イオンは、マスク層を形成していない領域に注入する請求の範囲第１項または第２項に記載の半導体装置の製造方法。
6. 前記半導体基板（１）を 300°C 以上に加熱して、不純物イオン（５）の注入を行なう請求の範囲第１項に記載の半導体装置の製造方法。
20
7. 前記半導体基板（１）を 500°C 以上に加熱して、不純物イオン（５）の注入を行なう請求の範囲第１項に記載の半導体装置の製造方法。
8. ポリイミド樹脂膜（２）は、感光性ポリイミド樹脂により形成される請求の範囲第１項に記載の半導体装置の製造方法。
9. ポリイミド樹脂膜（２a）の厚さは、半導体基板（１）のうち、ポリイミド樹脂膜（２a）を形成していない領域において注入される不純物の深さの２倍以上である請求の範囲第１項に記載の半導体装置の製造方法。
25
10. ポリイミド樹脂膜（２a）と半導体基板（１）との間に、金属薄膜を備える請求の範囲第１項に記載の半導体装置の製造方法。

- 1 1. ポリイミド樹脂膜 (2 a) と半導体基板 (1) との間に、 SiO_2 からなる薄膜を備える請求の範囲第 1 項に記載の半導体装置の製造方法。
- 1 2. 前記半導体基板 (1 0 1) を $300^\circ\text{C} \sim 500^\circ\text{C}$ に加熱して、不純物イオンの注入を行なう請求の範囲第 2 項に記載の半導体装置の製造方法。
- 5 1 3. 前記半導体基板 (1 0 1) を $500^\circ\text{C} \sim 800^\circ\text{C}$ に加熱して、不純物イオンの注入を行なう請求の範囲第 2 項に記載の半導体装置の製造方法。
- 1 4. 前記マスク層 (1 0 3) は、3 層以上の層からなる請求の範囲第 2 項に記載の半導体装置の製造方法。
- 1 5. 前記 SiO_2 膜 (1 0 7 a, 1 0 7 b) の平均厚さと、前記金属薄膜 (1 0 5) の平均厚さは、それぞれ $500\text{nm} \sim 1.5\mu\text{m}$ である請求の範囲第 2 項に記載の半導体装置の製造方法。
- 10 1 6. 前記マスク層 (1 0 3) は、最下層膜として SiO_2 膜を備える請求の範囲第 2 項に記載の半導体装置の製造方法。
- 1 7. 前記マスク層 (1 0 3) は、最下層膜として金属薄膜を備える請求の範囲第 2 項に記載の半導体装置の製造方法。
- 15 1 8. 前記マスク層 (1 0 3) は、最上層膜として SiO_2 膜を備える請求の範囲第 2 項に記載の半導体装置の製造方法。
- 1 9. 前記マスク層 (1 0 3) は、最上層膜として金属薄膜を備える請求の範囲第 2 項に記載の半導体装置の製造方法。
- 20 2 0. 前記 SiO_2 膜 (1 0 7 a, 1 0 7 b) は、SOG 法により形成する請求の範囲第 2 項に記載の半導体装置の製造方法。

FIG.1A

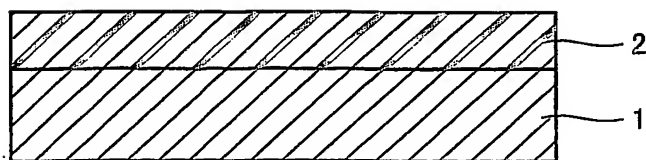


FIG.1B

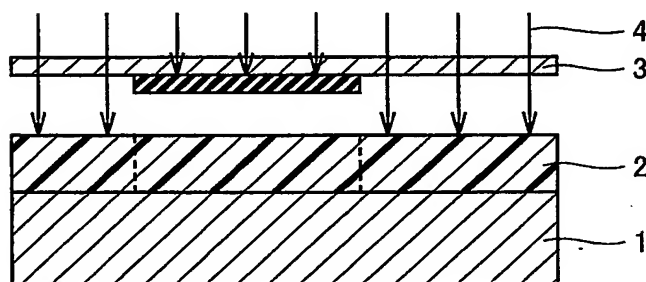


FIG.1C

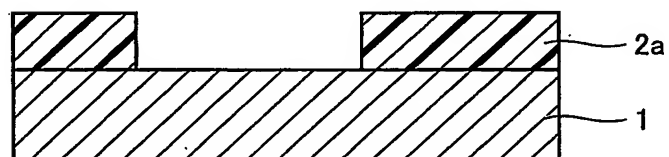


FIG.1D

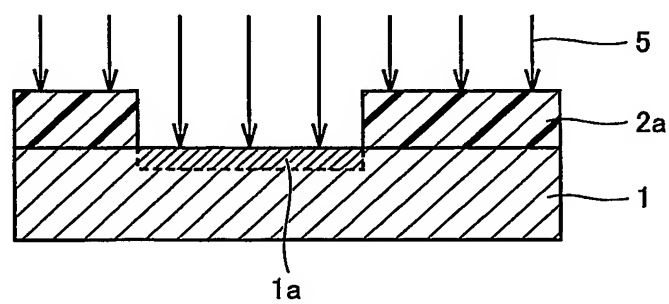


FIG.1E

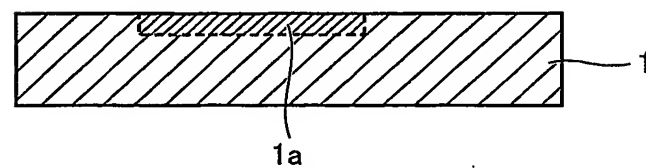


FIG.2

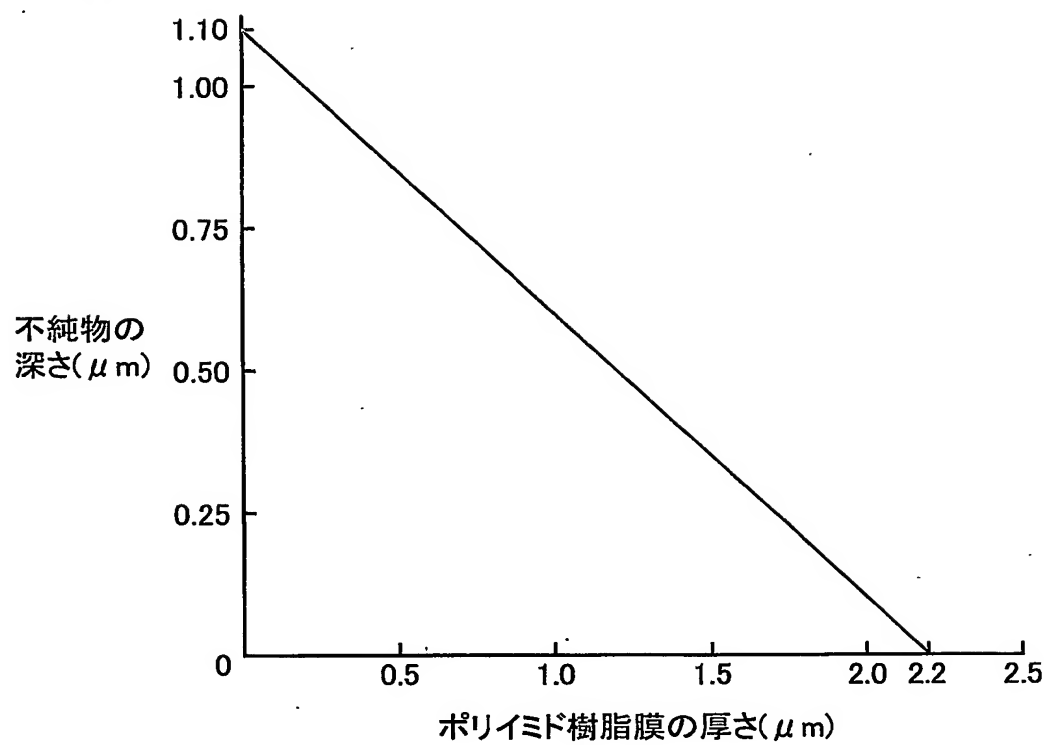


FIG.3

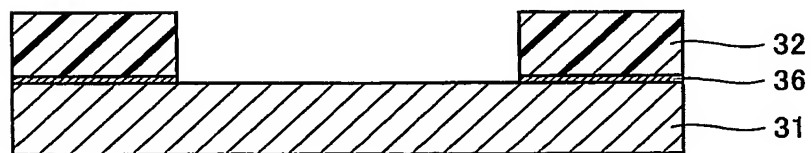


FIG.4A

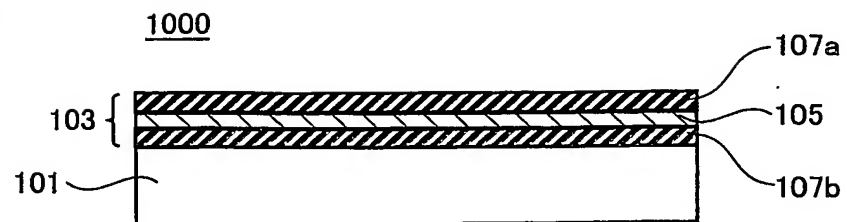


FIG.4B

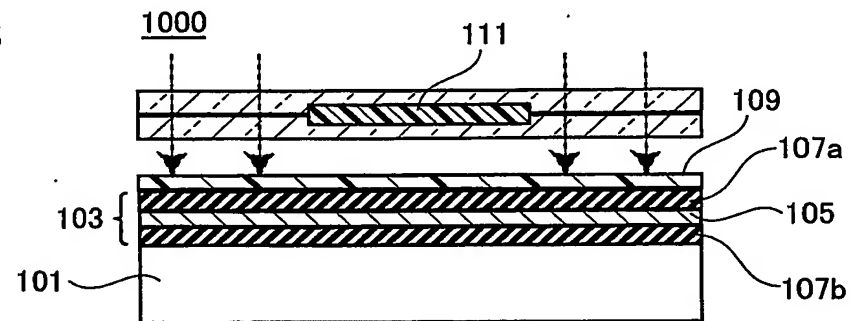


FIG.4C

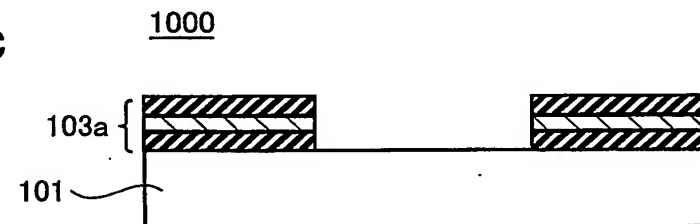


FIG.4D

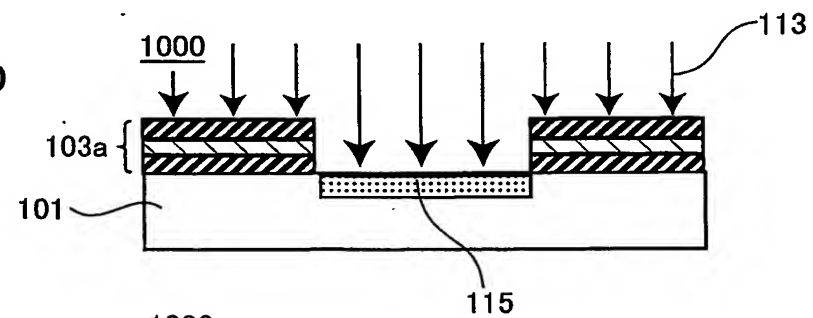
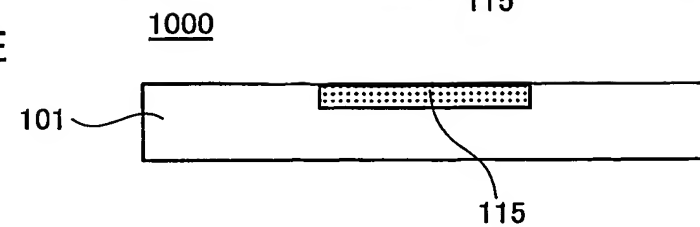


FIG.4E



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005649

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/265

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/265Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| X Y | JP 4-2120 A (Fujitsu Ltd.), 07 January, 1992 (07.01.92), Full text; Figs. 1 to 6 (Family: none) | 1, 4-5 3 |
| Y | JP 2001-332508 A (Matsushita Electric Indus trial Co., Ltd.), 30 November, 2001 (30.11.01), Full text; Figs. 1 to 8 & EP 1160845 A2 Full text; Figs. 1 to 8 & US 2001/0046757 A1 Full text; Figs. 1 to 8 | 3-5 |

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 July, 2004 (20.07.04)Date of mailing of the international search report
10 August, 2004 (10.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005649

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
(See extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 3-5

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005649

Continuation of Box No.III of continuation of first sheet(2)

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-20 is linked only by the technical feature of being "a method for manufacturing a semiconductor device characterized by comprising a step for forming a mask layer on a semiconductor substrate surface and a step for implanting impurity ions".

This technical feature, however, cannot be a special technical feature since it is disclosed in prior art documents such as JP 4-2120 A (Fujitsu Ltd.), 07 January, 1992 (07.01.92), JP 2001-332508 A (Matsushita Electric Industrial Co., Ltd.), 30 November, 2001 (30.11.01), and JP 61-69174 A (Toshiba Corp.), 09 April, 1986 (09.04.86). Consequently, there is no special technical feature so linking the group of inventions of claims 1-20 as to form a single general inventive concept. Therefore, it appears that the group of inventions of claims 1-20 does not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L 21/265

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L 21/265

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| X Y | J P 4-2120 A (富士通株式会社) 1992. 01. 07, 全文, 第1-6図 (ファミリーなし) | 1, 4-5 3 |
| Y | J P 2001-332508 A (松下電器産業株式会社) 2001. 11. 30, 全文, 第1-8図 & E P 1160845 A2, 全文, 第1-8図 & U S 2001/0046757 A1, 全文, 第1-8図 | 3-5 |

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

20. 07. 2004

国際調査報告の発送日

10. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮崎 園子

4M

3123

電話番号 03-3581-1101 内線 3462

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1, 3 - 5

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1～20に記載されている一群の発明は、「半導体基板の表面にマスク層を形成する工程と、不純物イオンの注入を行う工程を備えることを特徴とする半導体装置の製造方法」からなる事項でのみ連関していると認める。

しかしながら、この事項は先行技術文献、例えば、JP 4-2120 A (富士通株式会社), 1992.01.07、JP 2001-332508 A (松下電器産業株式会社), 2001.11.30、JP 61-69174 A (株式会社東芝), 1986.04.09等に記載されているため、特別な技術的特徴とはなり得ない。そうすると、請求の範囲1～20に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲1～20に記載されている一群の発明が発明の単一性を満たしていないことは明らかである。